

Моделирование процесса оптимизации 2-мерных моделей 3-мерных микроэлектронных объектов

С. Э. Миронов¹, К. М. Зибарев²

Санкт-Петербургский государственный электротехнический университет
«ЛЭТИ» им. В.И. Ульянова (Ленина)

¹semironovspb@yandex.ru, ²zib1995@mail.ru

Аннотация. В статье рассматривается проблема оптимизации характеристик микроэлектронных объектов при переходе от абстрактных виртуальных топологических моделей ячеек к их топологическим чертежам в реальных проектных нормах. Оптимизации характеристик микроэлектронных объектов обеспечивается оригинальным алгоритмом сжатия топологии на основе виртуальной координатной сетки, моделирующим действия проектировщика тополога по уменьшению паразитных параметров.

Ключевые слова: пространственные модели; микроэлектронные объекты; технологическая инвариантность; сжатие топологии; оптимизация топологии

I. ТЕХНОЛОГИЧЕСКИ ИНВАРИАНТНОЕ ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ БИС

Постоянный рост сложности микроэлектронных систем и ужесточение требований по срокам их разработки привели к созданию методов и средств, которые существенно упрощают и ускоряют проектирование. Это обеспечивается тем, что в рамках данных методов разрабатываются не точные топологические чертежи (2-мерные модели 3-мерных конструкций на поверхности кристалла и в его толщине), а их упрощенные абстрактные модели – топологические эскизы, которые могут оперативно настраиваться на требуемые проектные нормы. Эта концепция получила название технологически инвариантного проектирования топологии БИС, а методы адаптации топологических эскизов к проектным нормам назвали методами сжатия топологии [1], [2].

Необходимо отметить, что этот подход не только упрощает проектирование топологии, но и обеспечивает преемственность разработок при переходе на новые проектные нормы. В связи с этим технологию адаптации к проектным нормам стали называть миграцией топологии [3]–[5]. Таким образом, плотность упаковки (один из основных параметров микроэлектронных объектов) определяется качеством компоновки топологии и качеством средств сжатия топологии. Наиболее изощренные методы сжатия, предполагают возможность излома шин и использование транзисторов сложной формы. Проведенные исследования показали, что использование таких транзисторов позволяет повысить плотность упаковки на 20% [6]. Однако это приводит к усложнению средств автоматизации сжатия топологии, которые можно разделить на две большие группы [1]: на

основе графов и на основе виртуальной координатной сетки. Первые обеспечивают более эффективное сжатие, но отличаются высокой сложностью. Однако в [7] был описан вариант организации геометрических моделей транзисторов, позволяющий благодаря их секционированию обеспечить для сеточных методов плотность упаковки, сравнимую с плотностью упаковки ручного проектирования.

В работе рассматривается предложенный авторами сеточный алгоритм 1-мерного сжатия топологии (сжатия поочередно сначала вдоль одной оси координат, потом вдоль другой), моделирующий действия проектировщика тополога и обеспечивающий не только высокую плотность упаковки, но и уменьшение паразитных параметров.

II. СЖАТИЕ И КОРРЕКЦИЯ ТОПОЛОГИИ

В процессе сжатия элементы топологии смещаются в направлении сжатия, приближаясь к ранее сжатой части топологии настолько, насколько позволят проектные нормы на минимально допустимые расстояния между соответствующими элементами топологического чертежа.

Однако это отражает лишь самую общую идею сжатия, представляющего собой сложный процесс, включающий помимо собственно сжатия топологии вдоль каждой из осей координат, сходные с ним действия по коррекции топологии, целью которых является снижение влияния результатов сжатия на временные характеристики реализуемых схем. Коррекция топологии состоит в ликвидации ненужного и уменьшении чрезмерного (излишнего для обеспечения плотной упаковки) смещения и растяжения элементов топологии ячеек, вызывающего увеличение паразитных параметров схем.

В простых алгоритмах сжатие и коррекция топологии это два самостоятельных этапа. Коррекция отличается от собственно сжатия тем, что выполняются в обратном направлении и с несколько иными ограничениями на размеры и положение элементов топологии. Однако, в сложном высокоэффективном алгоритме сжатия топологии с изменением формы транзисторов коррекция топологии осуществляется и в ходе самого сжатия.

III. РЕГУЛИРОВКА РАЗМЕРА ЗАТВОРОВ ТРАНЗИСТОРОВ

При сжатии столбцов (или строк) топологии, содержащих затворы транзисторов (рисунок 1), изменение формы транзисторов выполняется в два прохода вдоль каждого столбца виртуальной сетки. На первом

осуществляется смещение элементов и образование коленец транзисторов с возможным превышением максимально допустимой длины коленца $h_{кл}$. На втором выполняется коррекция длины коленец и положения элементов.

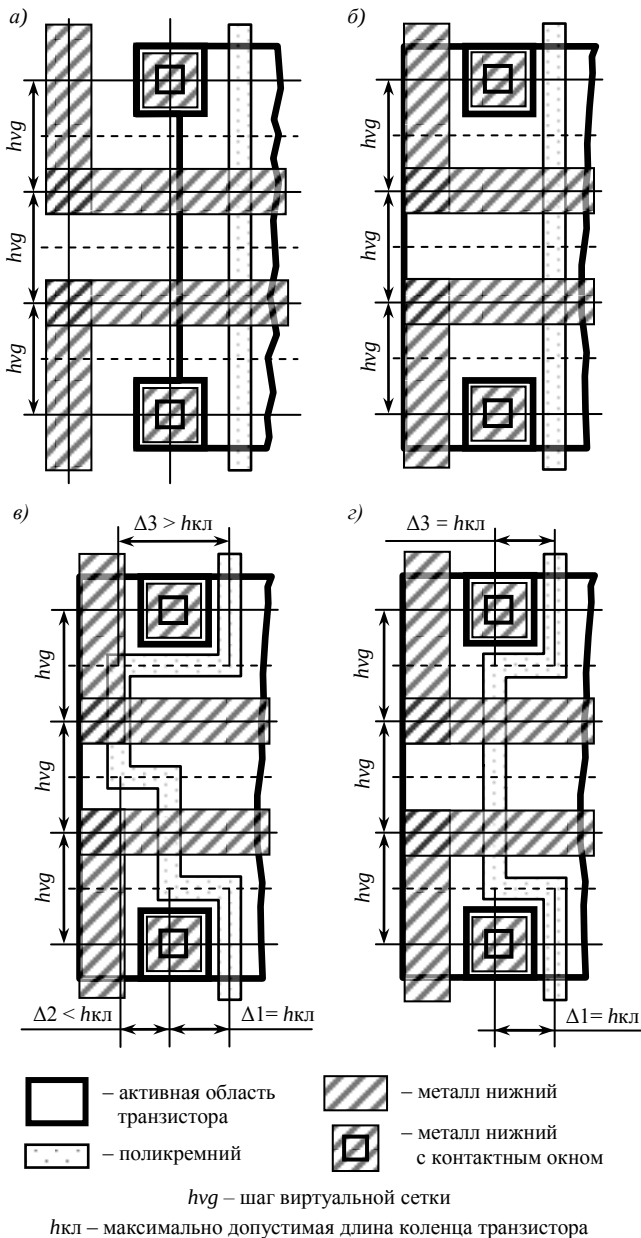


Рис. 1. Регулировка размера коленец транзисторов на этапе сжатия в два прохода: а) топология до сжатия; б) топология до изменения формы затвора; в) топология после сжатия с превышением максимально допустимой длины коленца транзистора $h_{кл}$; г) коррекция длины коленец и положения вертикальных секций затворов

На рис. 1, а представлена исходная топология, а на рис. 1, б – результаты сжатия исходной топологии перед изменением формы затвора. Смещение частей затвора начинается с нижних элементов топологии, и после прохода снизу вверх по расположенным на этой виртуальной абсциссе элементам получается топология, изображенная на рис. 1, в. Как видно из рисунка, вертикальные отрезки затворных шин смещаются к левой границе фрагмента, а на их краях образуются коленца, соединяющие их с вертикальными отрезками затворов, смещение которых было ограничено проектными нормами и соглашением о максимально допустимом размере коленец затворов.

Примечательно, что на рис. 1, в ограничению на размер коленца затвора (не больше $h_{кл}$) соответствуют лишь два нижних коленца транзистора. Длина же верхнего коленца превышает допустимую величину. Это связано с тем, что при сжатии, начиная с нижних элементов топологии, нижние секции затвора транзистора смещаются без учета положения верхних секций, которым смещение еще только предстоит. Учет положения предыдущих секций позволяет ограничить смещение текущей секции и длину образующегося при этом коленца требуемой величиной, однако когда дело доходит до верхней секции затвора (рис. 1, в), выясняется, что ее смещению препятствует контакт к активной области транзистора, и длина верхнего коленца чрезмерна.

Скорректировать длину чрезмерно растянувшегося коленца затвора транзистора можно, пройдя по секциям затвора сверху вниз. При этом вторая сверху секция затвора транзистора сместится вправо, сократив длину коленца до максимально допустимой величины $h_{кл}$ (рис. 1, г).

Таким образом, для коррекции искаженных при сжатии топологии коленец затворов транзисторов требуется лишь повторный анализ взаимного расположения секций затворов. Он выполняется в очередности, обратной той, что была при сжатии. Это позволяет отследить не только передний, но и задний фронт взаимного смещения затворных секций.

IV. ЭТАП КОРРЕКЦИИ ТОПОЛОГИИ

Действия по коррекции топологии, как уже было сказано, направлены на снижение влияния результатов сжатия на временные характеристики реализуемых схем. Они предполагают в достигнутых в результате сжатия габаритах ячейки смещение элементов топологии и их частей, снижающее паразитные параметры схемы.

Все элементы топологии представляются в виде шин и областей, описываемых трассами и контурами. Об изменении размеров отрезков шин речь уже шла. Примером коррекции областей, чрезмерно растянутых в процессе сжатия, может служить рис. 2, на котором представлены результат этапа сжатия влево (рис. 2, а) и результат корректирующего смещения вправо левой границы активной области транзистора (рис. 2, б). Однако коррекция топологии гораздо более сложна, чем может показаться на первый взгляд, и на этом этапе над межсоединениями, затворами и активными областями для обеспечения большей эффективности должен осуществляться целый комплекс согласованных действий, выполняемых в свою очередь в несколько этапов.

Первым (самым очевидным и напрашивающимся самим собой) действием должно быть выполняемое, начиная от правой границы ячейки к левой, смещение вправо всех элементов топологии, не вызывающее растяжения отрезков трасс и контуров, а лишь сокращающее их. Это позволит уменьшить длину коленец межсоединений и затворов и площадь активных областей транзисторов. Причем для достижения последнего, смещению следует подвергать лишь левые границы контуров активных областей.

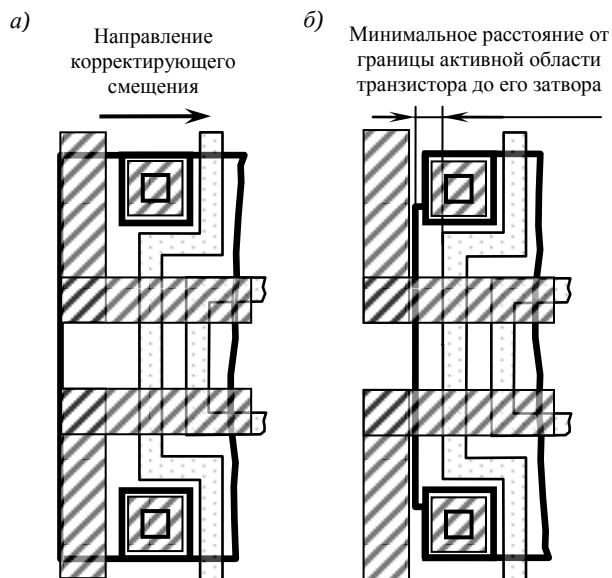


Рис. 2. Регулировка размера активной области транзисторов: топология до (а) и после (б) коррекции границы активной области

На деле же все обстоит гораздо сложнее, и на первом этапе коррекции смещать следует не только левые, но и правые границы контуров активных областей, увеличивая

тем самым площадь диффузии стока/истока, а на межсоединениях могут не только не сокращаться существующие колена, но и возникать новые. Все перечисленное является составляющими элементами процесса коррекции топологии с учетом степени значимости паразитных параметров, сущность которого иллюстрирует рис. 3. Как видно из рис. 3 ликвидация или сокращение длины более весомых в плане емкости коленец затвора могут быть обеспечены благодаря созданию коленец на шинах межсоединений (рис. 3, а и и), вносящих существенно меньший вклад в соответствующие паразитные емкости. Из того же рис. 3 видно, что это может быть осуществлено в два этапа:

- последовательное справа налево смещение вправо элементов топологии (рис. 3, а-е) с ограничением лишь на длину коленец затворов, которая должна лишь уменьшаться,
- последовательное слева направо смещение влево (рис. 3, ж-и) контактов, правых границ активных областей транзисторов, секций шин за исключением затворов.

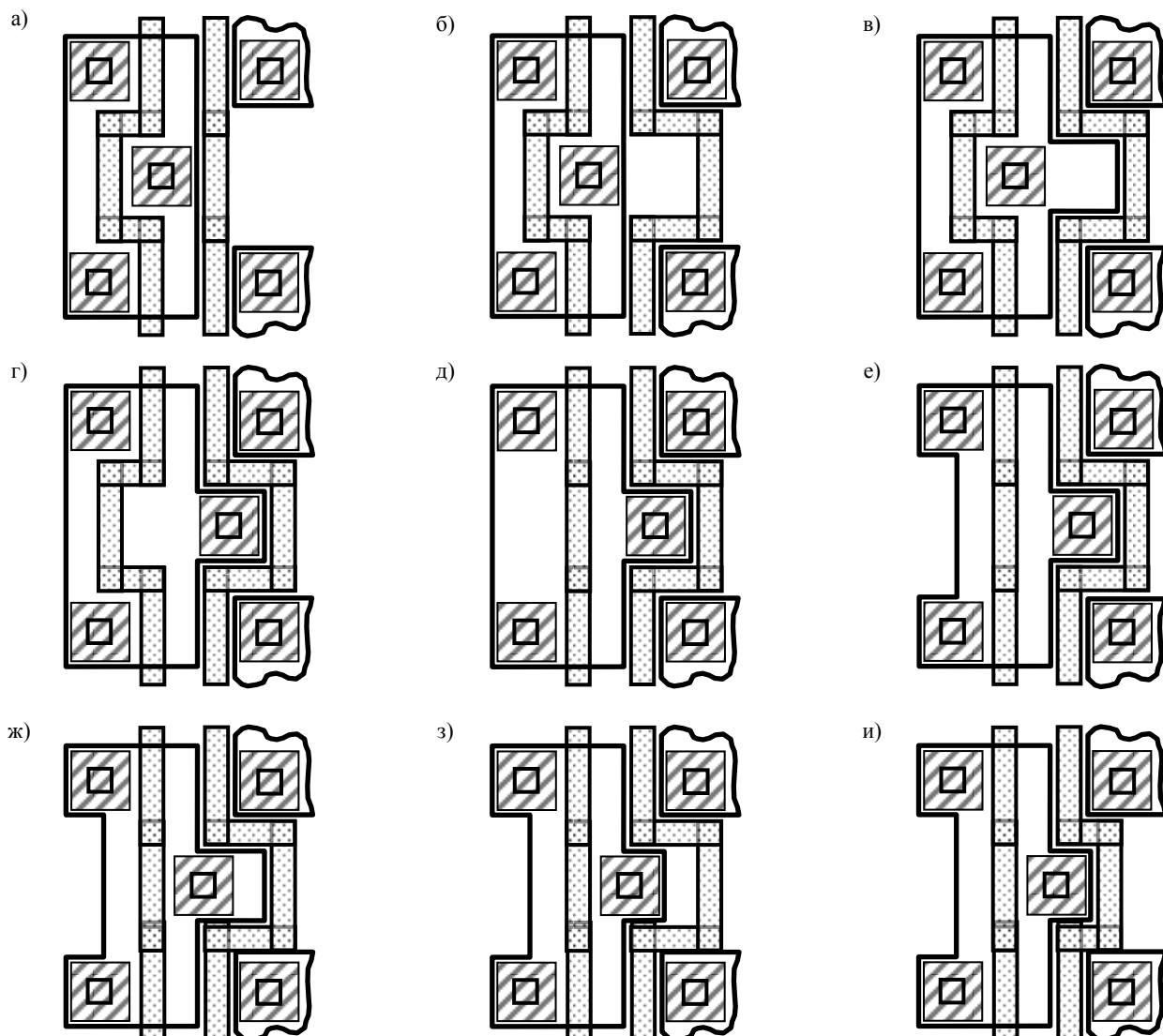


Рис. 3. Пример коррекции топологии с учетом степени значимости паразитных параметров

V. ЗАКЛЮЧЕНИЕ

В данной работе, продолжая проводимые в «ЛЭТИ» исследования в области микроэлектронных САПР [8], описан алгоритм оптимизации 2-мерных моделей 3-мерных микроэлектронных объектов, моделирующий действия проектировщика тополога по уменьшению паразитных параметров.

Благодаря предложенной авторами геометрической модели транзисторов [7] он позволяет обеспечить высокую плотность упаковки топологии (сравнимую с плотностью упаковки топологии, выполненной вручную) при сохранении низкой сложности, характерной для алгоритмов 1-мерного сжатия топологии на виртуальной сетке.

СПИСОК ЛИТЕРАТУРЫ

- [1] Sherwani Naveed A. Algorithms for VLSI physical design automation – 3. print. Boston etc.: Kluwer Academic Publishers, 2002. 488 p., ISBN 0-7923-9294-9
- [2] Bamji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec 6, 2012 - Technology & Engineering. 161 p., DOI 10.1007/978-1-4615-6139-2
- [3] De-Shiun Fu, Ying-Zhih Chaung, Yen-Hung Lin, Yih-Lang Li, “Topology-Driven Cell Layout Migration with Collinear Constraints,” in International Conference on Computer Design (ICCD 2009), Squaw Creek, Lake Tahoe, California, pp. 439-444, 2009.
- [4] Shaphir E., Pinter R. Y., Wimer S., “Efficient cell-based migration of VLSI layout,” 223 p. Springer Science+Business Media, New York, 2014.
- [5] Xiaoping Tang, Xin Yuan, “Technology Migration Techniques for Simplified Layouts with Restrictive Design Rules,” 2006 International Conference on Computer-Aided Design (ICCAD'06), November 5-9, 2006, San Jose, CA, USA. pp. 655-660.
- [6] Croes K., De Man H.J., Six P. CAMELEON: A ProcessTolerant Symbolic Layout System // IEEE Journal of Solid-State Circuits. 1988. V. 23, № 3. P. 705-713, June.
- [7] Mironov S.E., Monko A.O. Geometric models of complex layout objects of microelectronic systems in advanced information technologies // Proceedings of 2017 20th IEEE International Conference on Soft Computing and Measurements, SCM 20176 July 2017. P. 135–138. DOI: 10.1109/SCM.2017.7970518.
- [8] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of advanced micro- and nanoelectronic systems development (MES). SELECTED ARTICLES of the VIII All-Russia Science&Technology Conference MES-2018. Moscow: – FSFIS Institute for Design Problems in Microelectronics RAS. 2019. Pages 7-13. DOI: 10.31114/2078-7707-2019-1-7-13