

# Иерархические микроэлектронные системы и метод структурной оптимизации процесса управления согласованием их компонентов

С. Э. Миронов, Д. С. Кривцов

Санкт-Петербургский государственный электротехнический университет  
«ЛЭТИ» им. В.И. Ульянова (Ленина)  
semironovspb@yandex.ru

**Аннотация.** Рассматриваются вопросы оптимизации двумерных геометрических моделей сложных иерархических микроэлектронных систем. В качестве критериев выступают их размер и степень взаимного влияния друг на друга их компонентов, определяющая сложность и время согласования компонентов при адаптации абстрактной геометрической модели системы к многомерному вектору параметров ее конкретной реализации. Приводятся примеры структурной оптимизации управления согласованием компонентов локально однородных матричных микроэлектронных систем.

**Ключевые слова:** микроэлектронные системы; двумерные иерархические геометрические модели; управление процессом согласования компонентов; преобразование иерархических геометрических моделей

## I. ИЕРАРХИЧЕСКИЕ МИКРОЭЛЕКТРОННЫЕ СИСТЕМЫ

Одними из наиболее сложных современных технических систем являются интегральные схемы. Они собираются из крупных функционально законченных фрагментов, называемых макроблоками (МБ). МБ представляют собой сложные микроэлектронные системы из множества компонентов разного уровня иерархии, оказывающих друг на друга влияние. При построении таких систем оно должно быть учтено для определения их характеристик, и тем более, для их улучшения.

Сложные микроэлектронные объекты (МО) разделяются на регулярные и нерегулярные МБ. Нерегулярные МБ не имеют заранее определённой структуры и собираются из типовых компонентов (стандартных библиотечных ячеек) методом их размещения и трассировки связей между ними. В отличие от нерегулярных МБ, структура регулярных МБ определяется реализуемыми ими операциями и строится методом пространственной реализации алгоритма. В соответствии с ним двумерная иерархическая геометрическая модель МБ (структурно-топологический план) формируется на основе структурной схемы, в которой каждая конкретная операция реализуется персональным функциональным блоком.

Наиболее очевидным примером такой аппаратной реализации может служить матричный умножитель, структура которого представлена на рис. 1. Очевидно, что основным недостатком таких микроэлектронных объектов является большая площадь, занимаемая ими на кристалле. Однако именно они позволяют обеспечить наименьшее время выполнения вычислений.

А активное развитие и широкое применение методов и средств цифровой обработки сигналов и систем искусственного интеллекта [1]–[3] требует разработки высокопродуктивных специализированных матричных вычислительных устройств [4]–[6].

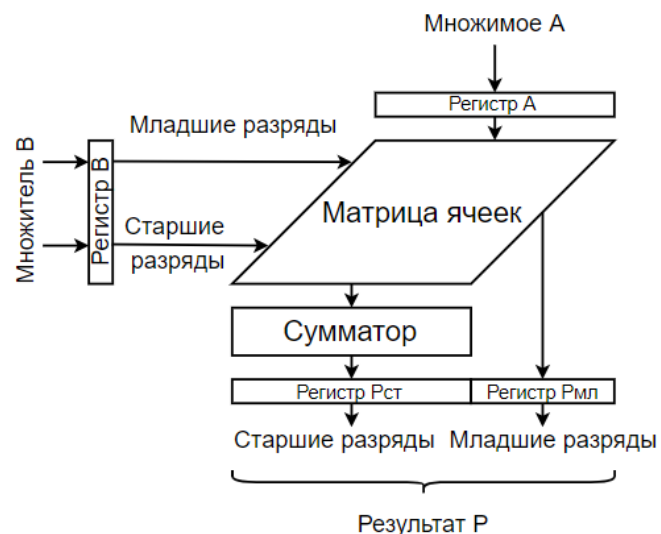


Рис. 1. Структурная схема матричного умножителя

В связи с этим, особое значение приобрели исследования, направленные на сокращение площади их геометрических моделей [6, 7] и связанные, в том числе с развитием средств интеллектуальных вычислений около датчиков [7, 8].

## II. ТЕХНОЛОГИЯ ПРОЕКТИРОВАНИЯ СЛОЖНЫХ МИКРОЭЛЕКТРОННЫХ ОБЪЕКТОВ

В соответствии со структурно-топологическим планом (абстрактной геометрической моделью МБ), на основе выбранных электрических схем и с учётом ширины каналов транзисторов (полученных по результатам электрического моделирования) разрабатываются абстрактные геометрические модели микроэлектронных объектов – эскизные проекты ячеек. Абстрактные модели сложных иерархических МБ и входящих в их состав ячеек служат основой для проектов реальных интегральных схем. Сложную работу по настройке проектов на технологические требования предприятий-изготовителей выполняют системы управляемого сжатия топологии [9, 10]. В процессе настройки они осуществляют согласование размеров и координат выводов компонентов микроэлектронных систем (МБ) путём оперативного анализа и модификации их геометрических параметров.

Реализуемые ими функции оперативного согласования незначительных расхождений геометрических характеристик компонентов позволяют существенно упростить и ускорить процесс разработки микроэлектронных объектов.

### III. ТИПОВЫЕ ПРИЕМЫ СТРУКТУРНОЙ ОПТИМИЗАЦИИ ИЕРАРХИЧЕСКИХ МИКРОЭЛЕКТРОННЫХ СИСТЕМ

Ранее в качестве примера регулярного макроблока БИС приводился матричный умножитель. Очевидно, что ромбовидная форма его матрицы затруднит компоновку БИС. В связи с этим необходим переход от структурной модели макроблока к его двумерной иерархической геометрической модели – к структурно-топологическому плану, который задает взаимное расположение компонентов макроблока на кристалле. Задачей такого перехода является построение удобной для компактной компоновки БИС в целом ортогональной реализации геометрической модели макроблока.

Результат преобразования представлен на рис. 2. Он предполагает придание модели матричного умножителя ортогональной формы путем взаимного смещения строк его матрицы. Возникающее при этом изменение характера связей между компонентами системы учитывается посредством введения в их геометрические модели дополнительных коммутационных компонентов.

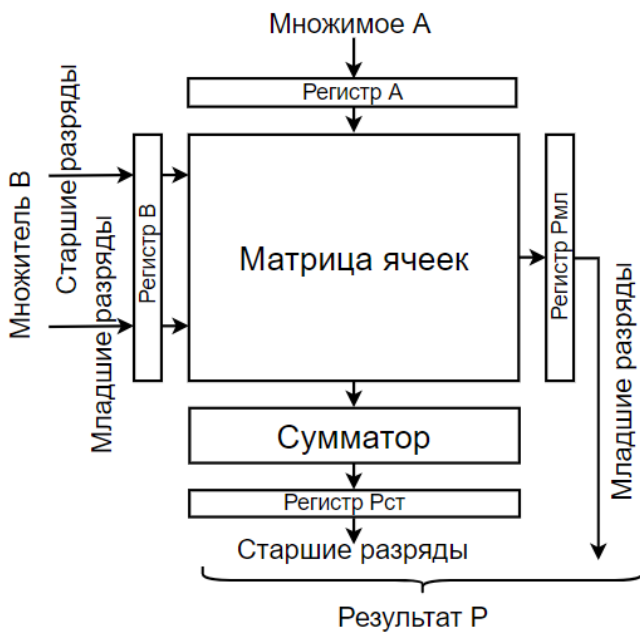


Рис. 2. Двумерная иерархическая геометрическая модель матричного умножителя – структурно-топологический план

Однако структурно-топологические преобразования не всегда бывают столь простыми и очевидными. В качестве примера более сложных преобразований можно привести модификацию матричного извлекателя квадратного корня (МИКК), исходная аппаратная реализация которого в соответствии с алгоритмом вычисления получается треугольной (рис. 3).

В преобразовании МИКК помимо взаимного сдвига частей устройства применяется еще один прием: разбиение локально однородных компонентов устройства на части и их смещение и трансформация. В случае МИКК (рис. 4) на части разбивается треугольная матрица, и ее верхняя часть поворачивается по часовой стрелке на  $180^\circ$  вокруг своего правого нижнего угла, а

между ячейками подматриц проводятся соединительные шины [11, 12]. В качестве иллюстрации к сказанному, на рис. 5 представлен пример топологии МИКК, полученный методом программной генерации путем управляемого иерархического сжатия топологии.

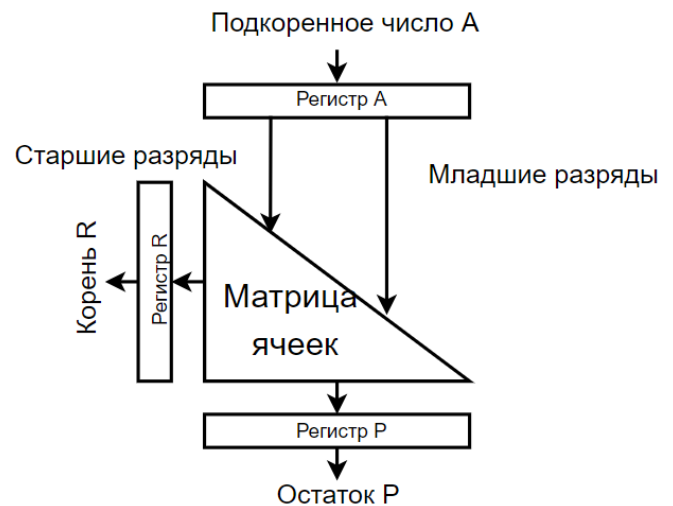


Рис. 3. Структурная схема МИКК

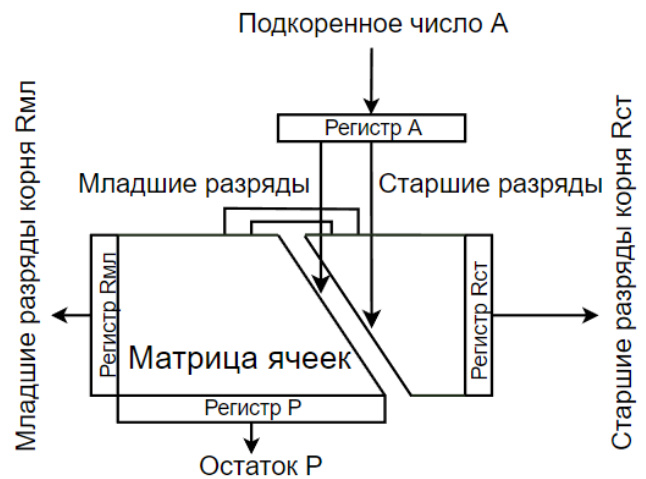


Рис. 4. Оптимизированная структурно-топологическая модель матричного извлекателя квадратного корня

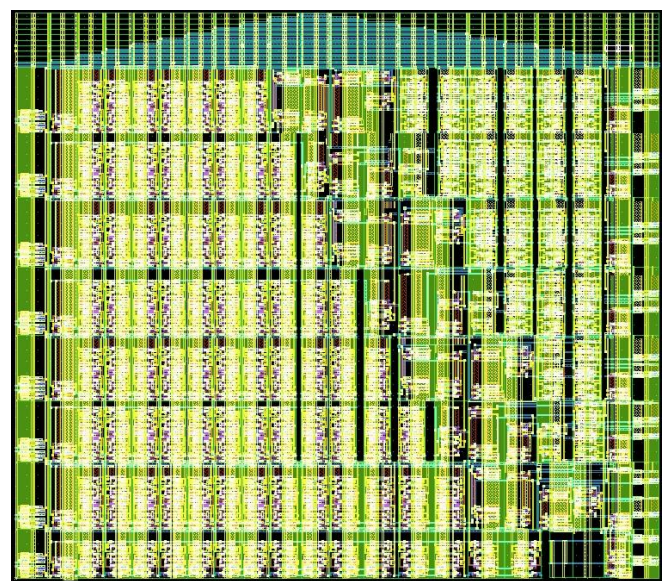


Рис. 5. Пример оптимизированной топологии матричного извлекателя квадратного корня

Средства проектирования, реализующие иерархическое сжатие макроблока БИС [9, 10, 13, 14], при настройке топологии на проектные нормы позволяют путём анализа ячеек отслеживать расхождения в их характеристиках, оперативно корректировать расхождения и собирать топологию МБ. Приведенная на рис. 5 топология МИКК была сгенерирована с помощью системы управляемого иерархического сжатия топологий «Matching of cells» [13, 14]. САПР «Matching of cells» построена на основе оригинальной технологии индивидуального прецизионного итерационного согласования выводов и габаритов компонентов сложного иерархического микроэлектронного объекта, которая учитывает взаимное влияние компонентов и исключает операции повторного согласования.

#### IV. МЕТОД СОКРАЩЕНИЯ АППАРАТНЫХ ЗАТРАТ ПУТЕМ СТРУКТУРНОЙ ОПТИМИЗАЦИИ ИЕРАРХИЧЕСКИХ МИКРОЭЛЕКТРОННЫХ СИСТЕМ

Два рассмотренных выше приема структурной оптимизации иерархических геометрических моделей МБ могут позволить не только придать сложным микроэлектронным объектам форму, удобную для компоновки из них сложных систем. С их помощью можно добиться весьма существенного сокращения аппаратных затрат на реализацию как самих МБ, так и микроэлектронных систем, в состав которых они входят.

Технология структурной оптимизации сложных микроэлектронных объектов [12], о которой идет речь, базируется на системном подходе к построению их иерархических геометрических моделей. Одним из основных его принципов является необходимость учета наличия в сложных системах взаимодействующих объектов факторов их взаимного влияния. Парадигма преобразования состоит в снижении степени влияния сложных компонентов на простые путем пространственной локализации простых объектов в областях, которые исключают влияние на них сложных ячеек по одной из осей координат.

Применительно к пространственным моделям сложных иерархических систем с матричной организацией можно утверждать, что геометрические параметры групп взаимодействующих компонентов определяются параметрами самых сложных из компонентов группы. В матричных вычислительных устройствах (о востребованности которых уже было сказано выше) это выражается в том, что ширина столбцов и высота строк определяются шириной и высотой их самых сложных ячеек. Полностью избежать взаимного влияния компонентов нельзя, но можно снизить степень этого влияния. В качестве иллюстрации к сказанному рассмотрим оптимизацию схем, ставших особенно популярными в последнее время.

Одним из основных требований к современным аппаратным средствам и особенно к системам искусственного интеллекта является высокая производительность. Основным способом ее повышения является конвейеризация. Однако ее применение резко снижает плотность упаковки схем в связи с появлением в них большого числа разряженных зон. Это связано с тем, что при конвейеризации матричных устройств номенклатура их ячеек расширяется. В состав их вычислительных ячеек добавляются триггеры. А

помимо этих вычислительных ячеек в составе устройств появляются вспомогательные конвейерные ячейки, содержащие только конвейерные триггеры. Очевидно, что наибольшую производительность обеспечивает поразрядная конвейеризация. Рис. 6–9 иллюстрируют процесс структурной оптимизации матричных вычислителей с поразрядной конвейеризацией. Рис. 6 и 7 иллюстрируют оптимизацию умножителя, а рис. 8 и 9 оптимизацию извлекателя квадратного корня. На рис. 10 и 11 в качестве примера приведены топологии этих схем.

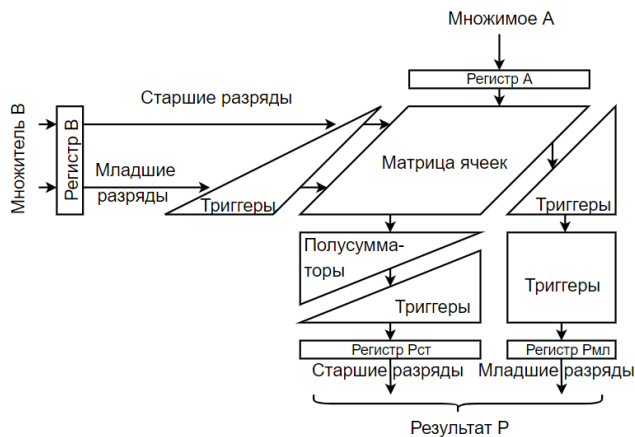


Рис. 6. Структурная схема конвейерного матричного умножителя с поразрядной конвейеризацией

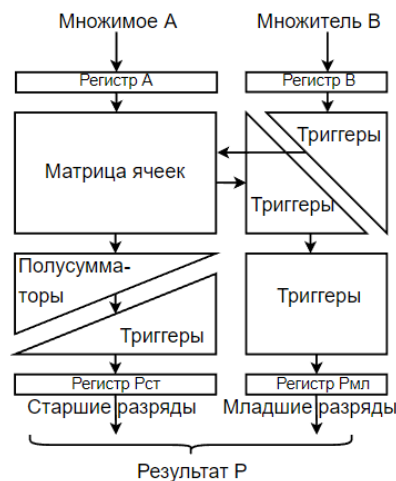


Рис. 7. Преобразованная структурная схема конвейерного матричного умножителя с поразрядной конвейеризацией

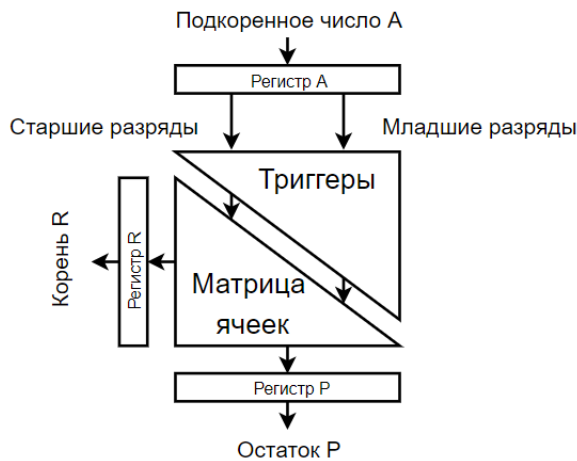


Рис. 8. Структурная схема конвейерного матричного извлекателя квадратного корня с поразрядной конвейеризацией

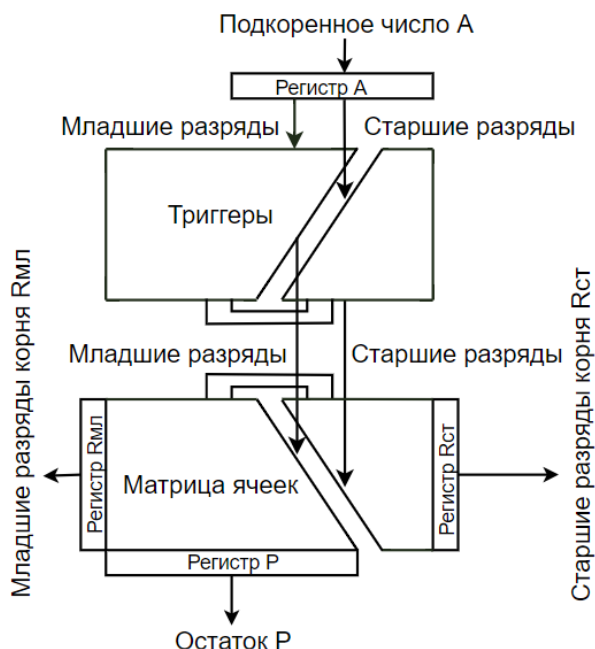


Рис. 9. Преобразованная структурная схема конвейерного матричного извлекателя квадратного корня с поразрядной конвейеризацией

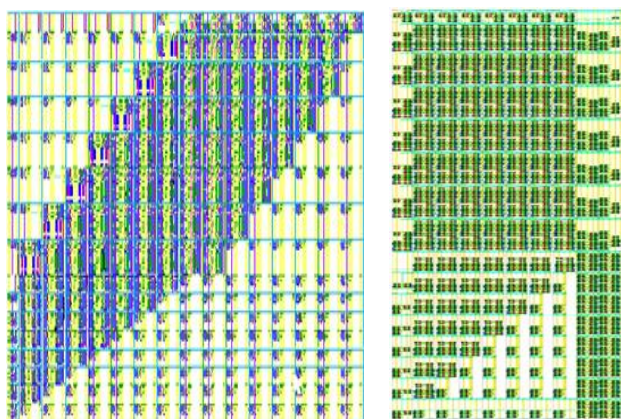


Рис. 10. Топологические чертежи конвейерного матричного умножителя с поразрядной конвейеризацией до преобразования (слева) и после преобразования (справа)

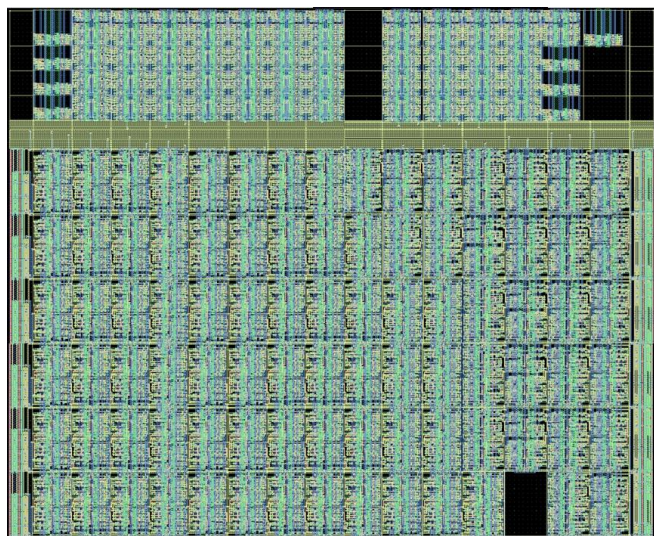


Рис. 11. Топологический чертеж конвейерного ММКК

В матричном умножителе (рис. 7) конвейерные триггеры сгруппированы в правой части структурно-топологической модели, и от сложных ячеек матрицы

зависит лишь их вертикальный габарит. В матричном извлекателе квадратного корня (рис. 9) конвейерные триггеры сгруппированы в верхней его части, и сложными ячейками определяется лишь их горизонтальный габарит.

Перепланировка простых ячеек в этих устройствах позволила снизить аппаратные затраты почти на треть (на 32%). Из рис. 10 видно, что после перепланировки исходного варианта умножителя (топологический чертеж слева) он стал уже (топологический чертеж справа). Площадь извлекателя квадратного корня (рис. 11) тоже сократилась, но за счет уменьшения его высоты.

#### V. СТРУКТУРНАЯ ОПТИМИЗАЦИЯ ИЕРАРХИЧЕСКИХ МИКРОЭЛЕКТРОННЫХ СИСТЕМ, КАК СПОСОБ УСКОРЕНИЯ ПРОЦЕССА ГЕНЕРАЦИИ ТОПОЛОГИИ

Как уже было сказано, одной из основных задач проектировщика является оптимизация структурно-топологического плана (иерархической геометрической модели) реализуемого сложного объекта. Конечной целью такой оптимизации традиционно является снижение размера реализуемого объекта [11, 12]. Однако используемые для этого приемы позволяют добиться еще одного важного результата.

В [15] при исследовании критериев эффективности методов и средств проектирования к ним отнесли время работы средств проектирования. Сокращение этого времени может позволить перейти от теоретического прогнозирования геометрических характеристик разных вариантов реализации макроблока к их практической оценке по их оперативно полученным топологиям. Таким образом, задача ускорения средств проектирования приобретает особую важность.

Одним из направлений для ее решения являются изоцированные алгоритмические методы повышения эффективности управляемого сжатия [16], основанные на сокращении объема обрабатываемой информации при многократном индивидуальном согласовании габаритов и положения выводов ячеек.

Другим направлением оказывается структурная оптимизация геометрических моделей макроблоков. Время программной генерации иерархической геометрической модели зависит от числа согласуемых компонентов системы (ячеек и их выводов). Таким образом, еще одним результатом преобразования макроблоков, направленного на снижение степени взаимного влияния их ячеек, будет являться ускорение процесса генерации топологии.

#### VI. ЗАКЛЮЧЕНИЕ

На основании анализа результатов проведенных исследований можно сделать вывод о том, что структурная оптимизация двумерных геометрических моделей иерархических микроэлектронных объектов и систем позволяет решить сразу несколько важных задач.

Метод структурной оптимизации микроэлектронных систем предполагает локализацию однотипных компонентов системы в однородных кластерах и их перегруппировку с целью снижения степени влияния сложных компонентов на простые. Это приводит:

- к снижению аппаратных затрат;

- к ускорению процесса согласования геометрических параметров компонентов системы.

Последнее обстоятельство позволяет повысить качество сложных проектов благодаря возможности рассмотрения большого числа альтернативных вариантов реализации.

#### СПИСОК ЛИТЕРАТУРЫ

- [1] Bureneva O.I. Element Base of Pulse Neural Network Units // 2021 II International Conference on Neural Networks and Neurotechnologies (NeuroNT), 2021, pp. 39-42.
- [2] Guzhva A., Dolenko S., Persiantsev I. Multifold Acceleration of Neural Network Computations Using GPU // Artificial Neural Networks – ICANN 2009. ICANN 2009. Lecture Notes in Computer Science. Vol 5768. Springer, Berlin, Heidelberg. DOI:10.1007/978-3-642-04274-4\_39
- [3] Han J., Li Z., Zheng W., Zhang Y. Hardware implementation of spiking neural networks on FPGA // Tsinghua Science and Technology. 2020. Vol. 25, no. 4, pp. 479–486. DOI: 10.26599/TST.2019.9010019
- [4] O.I. Bureneva, M.S. Prasad and S. Verma, "FPGA-based Hardware Implementation of the ART-1 classifier," 2023 XXVI International Conference on Soft Computing and Measurements (SCM), Saint Petersburg, Russian Federation, 2023, pp. 171-174, doi: 10.1109/SCM58628.2023.10159040.
- [5] Venkataramanaiah S.K., Yin S., Cao Y., Seo J.-S. Deep Neural Network Training Accelerator Designs in ASIC and FPGA // 2020 International SoC Design Conference (ISOCC), Yeosu, Korea (South). C. 21–22. DOI: 10.1109/ISOCC50952.2020.9333063
- [6] Mironov S.E., Bureneva O.I., Zibarev K. M. High-speed multiplier for hardware Implementation of Neural Networks// Proceedings of 2022 XXI All-Russia Science&Technology Conference on Problems of advanced micro- and nanoelectronic systems development MES-2022, vol. 4, pp. 109-116. DOI:10.31114/2078-7707-2022-4-109-116.
- [7] Bureneva O., Kupriyanov M., Safyannikov N. Bit Streaming Processing Algorithms for Intelligent Hardware Converters // Special Issue 14th International Conference on Intelligent Systems (INTELS'20) Appl. Sci. 2021, 11, 4899; <https://doi.org/10.3390/app11114899>
- [8] Bureneva O., Mironov S., Safyannikov N., Sukhinets Z. Functional Converter for Intelligent Sensor and Its Layout Design. Eng. // Proceedings of 15th International Conference "Intelligent Systems" (INTELS'22) Proc. 2023, 33, 50. <https://doi.org/10.3390/engproc2023033050>
- [9] Sherwani Naveed A. Algorithms for VLSI physical design automation 3. print. Boston etc.: Kluwer Academic Publishers, 2002. 488 p., ISBN 0-7923-9294-9.
- [10] Bamji C., Varadarajan R. Leaf Cell and Hierarchical Compaction Techniques, New York – Springer Science & Business Media, LLC, Dec 6, 2012 - Technology & Engineering. 161 p., DOI 10.1007/978-1-4615-6139-2.
- [11] Mironov S.E., Frolkin A.K., Safyannikov N.M. Structural and topological optimization regular VLSI macro-block by combining their topological sparse areas // Proceedings of Saint Petersburg Electrotechnical University. 2012. Vol. 3. pp. 32-39.
- [12] Mironov S.E., Safyannikov N.M., Frolkin A.K. Methodic of structural and topological optimization regular VLSI macro-blocks // Proceedings of Saint Petersburg Electrotechnical University. 2015. Vol. 1. pp. 17–23.
- [13] Mironov S.E., Vasil'ev A.Yu. Controlling the process of coordination of complex layout objects of microelectronic systems in conditions of uncertainty of design rules. 2017 IEEE II International Conference on Control in Technical Systems (CTS), St. Petersburg, 2017, pp. 192-195, doi: 10.1109/CTSYS.2017.8109523.
- [14] Mironov S.E., Vasiliyev A.Yu., Safyannikov N.M. Means Of Automating The Hierarchical Design Of Complex Microelectronic Circuits With Uncertainty Of Design Rules // Problems of advanced micro- and nanoelectronic systems development (MES). SELECTED ARTICLES of the VIII All-Russia Science&Technology Conference MES-2018. Moscow: FSFIS Institute for Design Problems in Microelectronics RAS. 2019. Pages 7-13. DOI: 10.31114/2078-7707-2019-1-7-13.
- [15] Mironov S.E., Shiryayev P.M., Kaidanovich O.Y. Models in the Process of Designing Complex Microelectronic Objects under Conditions of Uncertainty // Proceedings of 2023 XXVI International Conference on Soft Computing and Measurements (SCM-2023), St. Petersburg, Russia, 2023, pp. 130-135, doi: 10.1109/SCM.2023.8903721, doi: 10.1109/SCM50615.2020.9198801
- [16] Mironov S.E., Zibarev K.M. Management of Layout Matching of Objects of Complex Microelectronic Systems with Uncertainty of Design Rules // Proceedings of 2019 III International Conference on Control in Technical Systems (CTS), St. Petersburg, Russia, 2019, pp. 69-73, doi: 10.1109/CTS48763.2019.8973275.